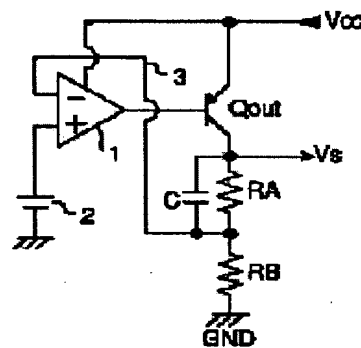


**INTEGRATED CIRCUIT INCORPORATING PHOTODETECTOR**

**Patent number:** JP11122195  
**Publication date:** 1999-04-30  
**Inventor:** WARITA HIROHISA  
**Applicant:** SHARP KK  
**Classification:**  
- **International:** H04B10/28; H04B10/26; H04B10/14; H04B10/04;  
H04B10/06; G01D5/30  
- **European:**  
**Application number:** JP19970280380 19971014  
**Priority number(s):** JP19970280380 19971014

**Abstract of JP11122195**

**PROBLEM TO BE SOLVED:** To provide an integrated circuit incorporating a photodetector that is provided with a constant voltage circuit that is operated at a low power supply voltage with an excellent temperature characteristic in a constant voltage output and high ripple elimination ratio. **SOLUTION:** The integrated circuit is provided with a photodetector, an amplifier, an output circuit and a constant voltage circuit. A reference voltage source 2 outputting a reference voltage is inputted to a noninverting input terminal of a differential amplifier 1. An output terminal of the differential amplifier 1 connects to a base of a PNP transistor (TR) Qout and an emitter of the PNP TR Qout connects to a point of a power supply voltage Vcc. A series circuit consisting of 1st and 2nd resistors RA, RB is connected between a collector of the PNP Tr Qout and ground. Then a connecting point of the 1st and 2nd resistors RA, RB and an inverting input terminal of the differential amplifier 1 are connected via a feedback path 3. The collector of the PNP TR Qout of the constant voltage circuit provides an output of a constant voltage Vs.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-122195

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl. <sup>8</sup>	識別記号	F I		
H 0 4 B	10/28	H 0 4 B	9/00	Y
	10/26	G 0 1 D	5/30	K
	10/14			L
	10/04			
	10/06			

審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く

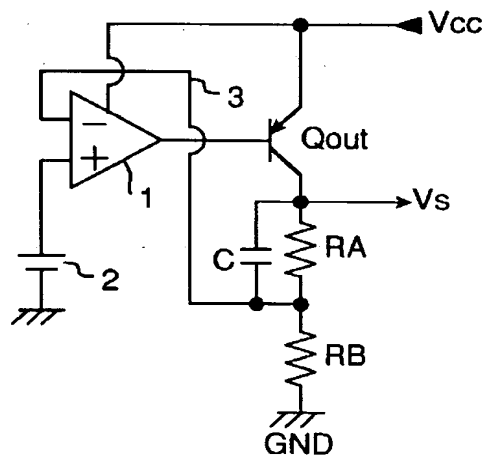
(21) 出願番号	特願平9-280380	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成9年(1997)10月14日	(72) 発明者	和里田 浩久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74) 代理人	弁理士 青山 葆 (外1名)

(54) 【発明の名称】 受光素子内蔵集積回路

(57) 【要約】

【課題】 低い電源電圧で動作すると共に、定電圧出力の温度特性が良好で、かつ、リップル除去比の高い定電圧回路を備えた受光素子内蔵集積回路を提供する。

【解決手段】 受光素子、増幅器、出力回路および定電圧回路を備える。上記定電圧回路において、基準電圧  $V_{ref}$  を出力する基準電圧源 2 を差動増幅器 1 の非反転入力端子に入力する。上記差動増幅器 1 の出力端子を PNP トランジスタ  $Q_{out}$  のベースに接続し、PNP トランジスタ  $Q_{out}$  のエミッタを電源電圧  $V_{cc}$  に接続する。上記 PNP トランジスタ  $Q_{out}$  のコレクタとグランドとの間に第 1、第 2 抵抗  $R_A$ ,  $R_B$  を直列接続する。そして、上記第 1、第 2 抵抗  $R_A$ ,  $R_B$  の接続点と差動増幅器 1 の反転入力端子とを帰還路 3 を介して接続する。上記定電圧回路の PNP トランジスタ  $Q_{out}$  のコレクタから定電圧  $V_s$  を出力する。



## 【特許請求の範囲】

【請求項1】 受光素子、増幅器、出力回路および定電圧回路を備えた受光素子内蔵集積回路において、

上記定電圧回路は、

基準電圧を出力する基準電圧部と、

上記基準電圧部からの上記基準電圧が非反転入力端子に

入力された差動増幅器と、

上記差動増幅部の出力端子がベースに接続され、エミッ

タに電源が接続されたPNPトランジスタと、  
上記PNPトランジスタのコレクタとグランドとの間に 10

直列接続された第1、第2抵抗と、  
上記第1、第2抵抗の接続点と上記差動増幅器の反転入

力端子とを接続する帰還路とを有することを特徴とする

受光素子内蔵集積回路。  
【請求項2】 請求項1に記載の受光素子内蔵集積回路

において、  
上記基準電圧部の上記基準電圧を2つのトランジスタの

ベース・エミッタ間電圧 $V_{be}$ の和 $2V_{be}$ とし、  
上記第1、第2の抵抗を夫々 $R_A$ 、 $R_B$ とすると、上記PN

Pトランジスタのコレクタより出力される定電圧 $V_s$  20  
が、

$$V_s = 2V_{be}(R_A + R_B) / R_B$$

の関係満足することを特徴とする受光素子内蔵集積回

路。  
【請求項3】 請求項2に記載の受光素子内蔵集積回路

において、  
上記基準電圧部の上記基準電圧の温度係数によって上記

定電圧 $V_s$ が変動がしないように、上記第1、第2の抵抗

の温度係数を夫々異なる温度係数に設定したことを特徴

とする受光素子内蔵集積回路。  
【発明の詳細な説明】

【0001】  
【発明の属する技術分野】この発明は、受光素子、増幅

器、出力回路および定電圧回路等で構成された受光素子

内蔵集積回路に関する。  
【0002】

【従来の技術】従来より、エンコーダ等に用いられる受

光素子内蔵集積回路では、ノイズの影響を特に受けやす

いモータ周辺に使用される場合に耐電源ノイズ特性が重

要となるため、集積回路内部に図8に示す定電圧回路を

設けている。  
【0003】上記定電圧回路は、ベースとコレクタとが

接続されたNPNトランジスタQ41のコレクタに電源電

圧 $V_{cc}$ を抵抗R31を介して接続している。上記NPNト

ランジスタQ41のベースとNPNトランジスタQ42のベ

ースとを接続し、NPNトランジスタQ42のコレクタに

電源電圧 $V_{cc}$ を接続している。上記NPNトランジスタ

Q41のエミッタに、ベースとコレクタとが接続されたN

PトランジスタQ43のコレクタを接続し、NPNトラン

ジスタQ43のエミッタをグランドGNDに接続してい

る。また、エミッタに電源電圧 $V_{cc}$ が接続されたPNP

トランジスタQ44のベースに、ベースとコレクタが接続

されたPNPトランジスタQ45のベースを接続し、PN

PトランジスタQ45のエミッタに電源電圧 $V_{cc}$ を接続し

ている。上記PNPトランジスタQ44のコレクタに、ベ

ースとコレクタが接続されたNPNトランジスタQ46の

コレクタを接続し、上記NPNトランジスタQ46のエミ

ッタに、ベースとコレクタが接続されたNPNトランジ

スタQ47のコレクタを接続している。さらに、上記NP

NトランジスタQ47のエミッタに、ベースとコレクタが

接続されたNPNトランジスタQ48のコレクタを接続し

ている。上記NPNトランジスタQ48のエミッタとNP

NトランジスタQ42のエミッタを接続し、そのNPNト

ランジスタQ48のエミッタに、ベースとコレクタが接続

されたNPNトランジスタQ49のコレクタを接続してい

る。上記NPNトランジスタQ49のベースとNPNトラン

ジスタQ50のベースを接続し、NPNトランジスタQ

50のコレクタをPNPトランジスタQ45のコレクタに接

続している。上記NPNトランジスタQ50のエミッタを

抵抗R32を介してグランドGNDに接続している。ま

た、上記NPNトランジスタQ49のエミッタに、ベース

とコレクタが接続されたNPNトランジスタQ51のコレ

クタを接続し、そのNPNトランジスタQ51のエミッタ

をグランドGNDに接続している。そして、上記NPN

トランジスタQ46のベースにベースが接続されたNPN

トランジスタQ52のコレクタに電源電圧 $V_{cc}$ を接続して

いる。この定電圧回路は、NPNトランジスタQ52のエ

ミッタから定電圧 $V_s$ を出力する。

【0004】上記構成の定電圧回路は、5つのトランジ

スタQ46、Q47、Q48、Q49、Q51のベース・エミッタ間電

圧の和( $5V_{be}$ )を基準電圧として定電圧 $V_s$ を決定して

いる。図9に示すように、ダイオード(ベースとコレク

タが接続されたトランジスタ)に流れる電流 $I_c$ とベース

・エミッタ間電圧 $V_{be}$ との関係を表す特性曲線からダイ

オードに流れる電流値が大きい程、電流の変化に対して

ベース・エミッタ間電圧の変化が少なくなることがわか

る。上記定電圧回路では、このベース・エミッタ間電圧

$V_{be}$ の電流依存性を利用して、電源ノイズに対して安定

した定電圧 $V_s$ を供給するため、5段のトランジスタに

百数十 $\mu A$ の電流を流している。上記定電圧回路の電源

電圧 $V_{cc}$ が $\pm \alpha$ 変動すると、すなわち、電源電圧にノイ

ズがのると、図8のA点が $(V_{cc} - V_{be}) \pm \alpha$ で変動して

も、5つのトランジスタQ46、Q47、Q48、Q49、Q51に流

れる電流が変動しても、基準電圧( $5V_{be}$ )の変動を抑え

て、電源電圧 $V_{cc}$ の変動が定電圧出力に影響しにくくし

て、耐電源ノイズ性を向上している。

【0005】

【発明が解決しようとする課題】ところで、上記定電圧

回路では、定電圧 $V_s$ を出力する出力段にNPNトラン

ジスタQ52を使用しているので、

$V_{cc} - V_{ce} - V_{be} > V_s$

$V_{cc}$ : 電源電圧

$V_{ce}$ : PNPトランジスタQ44のコレクター・エミッタ間電圧

$V_{be}$ : NPNトランジスタQ52のベース・エミッタ間電圧

の条件を満足しないと、この定電圧回路は動作しない。さらに、上記トランジスタQ46, Q47, Q48, Q49, Q51のベース・エミッタ間電圧 $V_{be}$ の和( $5V_{be}$ )で定電圧 $V_s$ を決定しているため、電源電圧 $V_{cc}$ が( $5V_{be} + 1V_{ce}$ )以上の電圧でないと動作しない。したがって、上記定電圧回路を内蔵する受光素子内蔵集積回路では、2.5V動作のような低電圧動作ができないという問題がある。

【0006】また、上記トランジスタQ46, Q47, Q48, Q49, Q51のベース・エミッタ間電圧 $V_{be}$ の温度特性が $-2\text{mV}/^\circ\text{C}$ とした場合、定電圧 $V_s$ の温度特性が約 $-8\text{mV}/^\circ\text{C}$ となるため、定電圧 $V_s$ は温度変化による変動が大きく、受光素子内蔵集積回路の性能が低下するという問題がある。

【0007】そこで、この発明の目的は、低い電源電圧で動作すると共に、定電圧出力の温度特性が良好で、かつ、リップル除去比の高い定電圧回路を備えた性能のよい受光素子内蔵集積回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1の受光素子内蔵集積回路は、受光素子、増幅器、出力回路および定電圧回路を備えた受光素子内蔵集積回路において、上記定電圧回路は、基準電圧を出力する基準電圧部と、上記基準電圧部からの上記基準電圧が非反転入力端子に入力された差動増幅器と、上記差動増幅部の出力端子がベースに接続され、エミッタに電源が接続されたPNPトランジスタと、上記PNPトランジスタのコレクタとグランドとの間に直列接続された第1, 第2抵抗と、上記第1, 第2抵抗の接続点と上記差動増幅器の反転入力端子とを接続する帰還路とを有することを特徴としている。

【0009】上記請求項1の受光素子内蔵集積回路によれば、上記差動増幅器の非反転入力端子に基準電圧を入力し、反転入力端子に第1, 第2抵抗の接続点を接続しているため、上記PNPトランジスタのコレクタから上記基準電圧と第1, 第2抵抗によって定まる定電圧を出力する。このとき、上記定電圧が下がると、差動増幅器の非反転入力端子の電位が下がって、差動増幅器の出力が上がり定電圧が上がる一方、逆に定電圧 $V_s$ が上がると、差動増幅器の非反転入力端子の電位が上がって、差動増幅器の出力が下がり定電圧 $V_s$ を下がり、安定な定電圧を出力する。上記定電圧回路の定電圧の出力段をPNPトランジスタとすることによって、出力する定電圧を( $V_{cc} - V_{ce}$ )まで設定できる( $V_{cc}$ は電源電圧、 $V_{ce}$ はPNPトランジスタのコレクタ・エミッタ間

電圧とする)。したがって、定電圧出力が同じ電圧であっても、より低い電源電圧で動作する定電圧回路を備えることによって、低電圧回路内蔵であるにもかかわらず、低電圧動作が可能な受光素子内蔵集積回路を実現できる。

【0010】また、請求項2の受光素子内蔵集積回路は、請求項1の受光素子内蔵集積回路において、上記基準電圧部の上記基準電圧を2つのトランジスタのベース・エミッタ間電圧 $V_{be}$ の和 $2V_{be}$ とし、上記第1, 第2の抵抗を夫々 $R_A, R_B$ とすると、上記PNPトランジスタのコレクタより出力される定電圧 $V_s$ が、
$$V_s = 2V_{be}(R_A + R_B)/R_B$$
の関係を満足することを特徴としている。

【0011】上記請求項2の受光素子内蔵集積回路によれば、定電圧 $V_s$ の基準となる電圧を2つのトランジスタのベース・エミッタ間電圧の和 $2V_{be}$ としているので、従来のように基準電圧が $5V_{be}$ である回路に比べて、電源電圧の変動によるベース・エミッタ間電圧に流れる電流の変化に対してベース・エミッタ間電圧の変化がより小さくなるため、電源電圧ノイズに対するリップル除去特性を向上できる。

【0012】また、請求項3の受光素子内蔵集積回路は、請求項2の受光素子内蔵集積回路において、上記基準電圧部の上記基準電圧の温度係数によって上記定電圧 $V_s$ が変動がしないように、上記第1, 第2の抵抗の温度係数を夫々異なる温度係数に設定したことを特徴としている。

【0013】上記請求項3の受光素子内蔵集積回路によれば、上記基準電圧部の基準電圧は、トランジスタの温度特性によって変動し、それによって上記定電圧回路から出力される定電圧 $V_s$ が変動するが、第1の抵抗の温度係数を高くすると共に、第2の抵抗の温度係数を低くすることによって、上記定電圧 $V_s$ の変動を低減でき、定電圧 $V_s$ の温度特性を向上できる。

【0014】

【発明の実施の形態】以下、この発明の受光素子内蔵集積回路を図示の実施の形態により詳細に説明する。

【0015】図1はこの発明の実施の一形態の受光素子内蔵集積回路の概略ブロック図である。図1において、負極側がグランドGNDに接続された基準電圧部としての基準電圧源2の正極側を差動増幅器1の非反転入力端子に接続している。上記差動増幅器1に電源電圧 $V_{cc}$ を接続している。上記差動増幅器1の出力端子にベースが接続されたPNPトランジスタQoutのコレクタに電源電圧 $V_{cc}$ を接続している。上記PNPトランジスタQoutのエミッタに、直列接続された抵抗 $R_A, R_B$ を介してグランドGNDを接続している。上記抵抗 $R_A$ と抵抗 $R_B$ との接続点と増幅器1の反転入力端子とを帰還路3を介して接続している。上記抵抗 $R_A$ に位相補償用のコンデンサCを並列接続している。上記定電圧回路は、PNPト

ランジスタQoutのコレクタから定電圧Vsを出力する。

【0016】また、図2は上記定電圧回路の詳細な回路図を示している。図2において、ベースとコレクタが接続されたNPNトランジスタQ1のコレクタに電源電圧Vccを抵抗R1を介して接続し、NPNトランジスタQ1のエミッタに、ベースとコレクタが接続されたNPNトランジスタQ2のコレクタを接続している。上記NPNトランジスタQ2のエミッタをグランドGNDに接続している。また、上記NPNトランジスタQ1のベースにベースが接続されたNPNトランジスタQ3のコレクタを電源電圧Vccに接続している。上記NPNトランジスタQ3のエミッタに、エミッタに電源電圧Vccが接続されたPNPトランジスタQ9のコレクタを接続している。上記PNPトランジスタQ9のベースに、エミッタに電源電圧Vccが接続されたPNPトランジスタQ10のベースを接続し、PNPトランジスタQ10のベースとコレクタとを接続している。上記NPNトランジスタQ3のエミッタに、ベースとコレクタが接続されたNPNトランジスタQ4のコレクタを接続している。上記NPNトランジスタQ4のエミッタに、ベースとコレクタが接続されたNPNトランジスタQ5のコレクタを接続している。上記NPNトランジスタQ5のエミッタをグランドGNDに接続している。また、上記NPNトランジスタQ4のベースに、NPNトランジスタQ6のベースとNPNトランジスタQ7のベースを接続している。上記NPNトランジスタQ6のコレクタをPNPトランジスタQ10のコレクタに接続している。上記NPNトランジスタQ6とグランドGNDとの間を抵抗R2を介して接続している。また、上記NPNトランジスタQ7のコレクタに、エミッタに電源電圧Vccが接続されたPNPトランジスタQ11のコレクタを接続している。上記NPNトランジスタQ7のエミッタを抵抗R3を介してグランドGNDに接続している。また、上記PNPトランジスタQ11のベースに、エミッタに電源電圧Vccが接続されたPNPトランジスタQ12のベースを接続している。上記PNPトランジスタQ12のベースとコレクタを接続し、そのコレクタをNPNトランジスタQ8のコレクタに接続している。上記NPNトランジスタQ8のエミッタをNPNトランジスタQ7のエミッタに接続している。上記NPNトランジスタQ7のコレクタに、エミッタが電源電圧Vccに接続されたPNPトランジスタQoutのベースを接続している。そして、図1と同様に、PNPトランジスタQout、抵抗RA、RBおよびコンデンサCを接続している。

【0017】上記NPNトランジスタQ1～Q3および抵抗R1で起動回路11を構成すると共に、PNPトランジスタQ9、Q10とNPNトランジスタQ4～Q6および抵抗R2で基準電圧回路12を構成している。上記起動回路11と基準電圧回路12とで基準電圧源2を構成している。また、上記PNPトランジスタQ11、Q12とN

PNトランジスタQ7、Q8および抵抗R3で反転増幅器13を構成している。

【0018】上記構成の受光素子内蔵集積回路の定電圧回路では、上記差動増幅器13に、基準電圧回路12のNPNトランジスタQ4、Q5の2つのベース・エミッタ間電圧Vbeで決定された基準電圧Vref(=2Vbe)が一方の入力端子(NPNトランジスタQ7)に入力され、定電圧Vsを抵抗RA、RBで分圧した電圧が他方の入力端子(NPNトランジスタQ8)に入力される。

10 【0019】上記基準電圧回路12の基準電圧Vrefは、

$$V_{ref} = 2V_{be}$$

$$V_{be} = kT/q \ln(I/I_s)$$

k：ボルツマン定数

T：温度

q：電子の電荷

I：Vbe(NPNトランジスタQ5)/R2

Is：接合飽和電流

で表される。

20 【0020】上記定電圧回路の差動増幅器13の非反転入力端子に基準電圧Vrefを入力し、反転入力端子に抵抗RA、RBの接続点を接続しているため、PNPトランジスタQoutから出力される定電圧Vsは、

$$V_s = 2V_{be}(R_A + R_B)/R_B$$

で決定される。そして、上記定電圧回路は、定電圧Vsが下がると、アンプの出力があがり定電圧Vsを上げるように働き、逆に定電圧Vsが上がると、アンプの出力がさがり定電圧Vsを下げるように働いて、安定な定電圧Vsを受光素子内蔵集積回路の各素子に供給する。

30 【0021】例えば、この定電圧回路において、ベース・エミッタ間電圧Vbe=0.7Vとすると、NPNトランジスタQ8のベースに約1.4Vの電圧が印加され、抵抗RA、RBの設定で定電圧Vsの値を設定でき、抵抗RAと抵抗RBとの抵抗比を2.5：1とし、RA=60kΩ、RB=24kΩに設定すると、定電圧Vsは1.96Vとなる。

40 【0022】このように、上記定電圧Vsの出力段にPNPトランジスタQoutを用いているため、上記抵抗RA、RBの設定の場合、1.96V+Vce(0.1～0.2V)の低い電源電圧で動作する(VceはPNPトランジスタQoutのコレクタ・エミッタ間電圧)。つまり、常温においては、電源電圧約2.2Vで動作するのである。したがって、例えば-25℃～80℃の温度範囲において、少なくとも2.5V程度の低電圧動作が可能である。

【0023】また、上記抵抗RA、RBを同じ種類の抵抗を用いた場合、図3に示すように、定電圧Vsの温度特性は約-5mV/℃であり、従来の定電圧回路に比べて定電圧出力の温度特性が向上している。

50 【0024】また、上記差動増幅器13のNPNトラン

ジスタQ6のベース電位(基準電圧回路12の基準電圧)は、約 $-4\text{ mV}/^{\circ}\text{C}$ の温度特性を有するが、抵抗R8に温度特性の低い抵抗(例えばベース拡散抵抗)を用いると共に、抵抗RAに温度特性の高い抵抗(例えばインプラ抵抗(多量の酸素イオンをシリコンに注入した後に熱処理することによって形成された抵抗))を用いることによって、定電圧Vsの温度特性を向上することができる。図4に上記抵抗RA、RBを異なる温度係数にした場合の定電圧Vsの温度特性のシミュレーション結果を示している。

【0025】また、図9に示すように、ダイオード(ベースとコレクタが接続されたトランジスタ)の電流Ic-Vbe特性曲線からダイオードの電流Icが大きい程、ベース・エミッタ間電圧Vbeの変化が小さいという電流依存性を利用して、この定電圧回路は、NPNトランジスタQ4、Q5のベース・エミッタ間電圧Vbeの変動が小さくなるように電流を流すことによって、電源電圧Vccの変動の影響を受けにくくしている。

【0026】また、上記定電圧回路は、定電圧Vsの基準となる電圧をダイオードとして用いられたトランジスタQ4、Q5の基準電圧(2Vbe)で決定しているため、基準電圧が(5Vbe)である従来の回路に比べて、電源電圧ノイズに対するリップル除去特性をより向上することができる。図5は上記受光素子内蔵集積回路のリップル除去比のシミュレーション結果を示しており、図10に示す従来回路のリップル除去比のシミュレーション結果と比べて、電源電圧ノイズに対するリップル除去特性が向上しているのが分かる。

【0027】図6は上記定電圧回路を用いた受光素子内蔵集積回路としてのエンコーダ用ICのブロック図を示している。

【0028】図6において、フォトダイオードPD4の両端を増幅器OP1の両入力端子に夫々接続すると共に、フォトダイオードPD2の両端を増幅器OP2の両入力端子に夫々接続している。また、フォトダイオードPD3の両端を増幅器OP3の両入力端子に夫々接続すると共に、フォトダイオードPD1の両端を増幅器OP4の両入力端子に夫々接続している。上記増幅器OP1～OP4の出力端子とフォトダイオードPD1～PD4のカソードとを抵抗R21～R24を介して接続している。

【0029】上記増幅器OP1の出力端子を差動増幅器OP5の非反転入力端子に接続し、増幅器OP2の出力端子を差動増幅器OP5の反転入力端子に接続している。また、上記増幅器OP3の出力端子を差動増幅器OP6の非反転入力端子に接続し、増幅器OP4の出力端子を差動増幅器OP6の反転入力端子に接続している。上記差動増幅器OP5、OP6には、電源電圧Vccが接続された定電圧回路10からの定電圧Vsを夫々接続している。上記定電圧回路10は図1、図2に示す定電圧回路である。

【0030】上記差動増幅器OP5の出力端子にNPNトランジスタQ31のベースを接続し、そのNPNトランジスタQ31のコレクタに定電流源I1を介して電源電圧Vccを接続している。上記NPNトランジスタQ31のコレクタに、コレクタに抵抗R25を介して電源電圧Vccが接続されたNPNトランジスタQ32のベースを接続している。上記NPNトランジスタQ31、Q32の各エミッタをグランドGNDに接続している。上記NPNトランジスタQ32のコレクタから電圧V0Bを出力する。

10 【0031】また、上記差動増幅器OP6の出力端子にNPNトランジスタQ33のベースを接続し、そのNPNトランジスタQ33のコレクタに定電流源I2を介して電源電圧Vccを接続している。上記NPNトランジスタQ33のコレクタに、コレクタに抵抗R26を介して電源電圧Vccが接続されたNPNトランジスタQ34のベースを接続している。上記NPNトランジスタQ33、Q34の各エミッタをグランドGNDに接続している。上記NPNトランジスタQ33のコレクタから電圧V0Aを出力する。

20 【0032】上記構成のエンコーダ用ICでは、出力トランジスタQ32、Q34で数10mAの電流を出力することが要求され、なおかつ、モーター(図示せず)等と同じ電源ラインで使用することもあるため、電源ノイズによる誤動作が問題になることがあるが、定電圧回路の定電圧Vsの基準となる電圧をダイオード2段の(2Vbe)で決定しているため、ダイオード5段の(5Vbe)で決定している従来回路に比べて、電源電圧ノイズに対するリップル除去特性が特に向上している。

30 【0033】このように、低い電源電圧で動作すると共に、定電圧出力の温度特性が良好で、かつ、リップル除去比の高い定電圧回路10を備えることによって、低電圧動作が可能な性能のよいエンコーダ用ICを実現することができる。

【0034】上記実施の形態では、基準電圧部としての起動回路11と基準電圧回路12を用いたが、基準電圧部はこれに限らないのは勿論である。

40 【0035】例えば、図7に示すような基準電圧部を有する定電圧回路でもよい。図7の定電圧回路において、図2の定電圧回路と同一の構成部は、同一参照番号を付している。図7に示すように、ベースとコレクタが接続されたNPNトランジスタQ1のコレクタに抵抗R11を介して電源電圧Vccを接続し、NPNトランジスタQ1のエミッタを抵抗R12を介してグランドGNDに接続している。上記NPNトランジスタQ1のベースにNPNトランジスタQ3ベースを接続し、NPNトランジスタQ3のエミッタを抵抗R14を介してグランドGNDに接続している。また、エミッタに電源電圧Vccが接続されたPNPトランジスタQ21のベースに、エミッタに電源電圧Vccが接続されたPNPトランジスタQ22のベースを接続している。上記PNPトランジスタQ21のベースとコレクタとを接続している。上記PNPトランジスタ

Q21のコレクタにNPNトランジスタQ24のコレクタを接続している。上記NPNトランジスタQ24のエミッタとNPNトランジスタQ3のエミッタとを接続している。上記NPNトランジスタQ24のベースに、エミッタが電源電圧 $V_{cc}$ が接続されたPNPトランジスタQ23のコレクタを接続している。上記PNPトランジスタQ23のベースにNPNトランジスタQ25のコレクタを接続している。また、上記PNPトランジスタQ23のベースにPNPトランジスタQ22のコレクタを接続している。上記NPNトランジスタQ24のベースにNPNトランジスタQ25のベースを接続している。なお、上記NPNトランジスタQ24とNPNトランジスタQ25のエミッタ面積比を1:xとしている(xは適宜設定)。また、上記NPNトランジスタQ25のコレクタとPNPトランジスタQ22のコレクタとを接続している。上記NPNトランジスタQ25のエミッタを抵抗R13を介してNPNトランジスタQ24のエミッタに接続している。

【0036】また、上記NPNトランジスタQ25のベースをNPNトランジスタQ7のベースに接続している。上記NPNトランジスタQ7のコレクタに、エミッタに電源電圧 $V_{cc}$ が接続されたPNPトランジスタQ11のコレクタを接続している。上記NPNトランジスタQ7のエミッタを抵抗R3を介してグランドGNDに接続している。また、上記PNPトランジスタQ11のベースに、エミッタに電源電圧 $V_{cc}$ が接続されたPNPトランジスタQ12のベースを接続している。上記PNPトランジスタQ12のベースとコレクタを接続し、そのコレクタをNPNトランジスタQ8のコレクタに接続している。上記NPNトランジスタQ8のエミッタをNPNトランジスタQ7のエミッタに接続している。

【0037】そして、上記NPNトランジスタQ7のコレクタに、エミッタが電源電圧 $V_{cc}$ に接続されたPNPトランジスタQoutのベースを接続し、PNPトランジスタQoutのコレクタを直列接続された抵抗RA,RBを介してグランドGNDに接続している。上記抵抗RAにコンデンサCを並列接続している。そして、上記抵抗RAと抵抗RBとの接続点をNPNトランジスタQ8のベースに接続している。上記定電圧回路は、PNPトランジスタQoutのコレクタから定電圧 $V_s$ を出力する。

【0038】

【発明の効果】以上より明らかなように、請求項1の発明の受光素子内蔵集積回路は、受光素子、増幅器、出力回路および定電圧回路を備えた受光素子内蔵集積回路において、上記定電圧回路は、基準電圧を出力する基準電圧部と、上記基準電圧部からの上記基準電圧が非反転入力端子に入力された差動増幅器と、上記差動増幅部の出力端子がベースに接続され、エミッタに電源が接続されたPNPトランジスタと、上記PNPトランジスタのコレクタとグランドとの間に直列接続された第1,第2抵抗と、上記第1,第2抵抗の接続点と上記差動増幅器の反

転入力端子とを接続する帰還路とを有するものである。

【0039】したがって、請求項1の発明の受光素子内蔵集積回路によれば、上記定電圧回路の定電圧の出力段をPNPトランジスタとすることによって、この定電圧回路は、出力する定電圧を(電源電圧 $V_{cc}$ -PNPトランジスタのコレクタ・エミッタ間電圧 $V_{ce}$ )まで設定しても動作できる。したがって、例えば2.2Vの低い電源電圧で動作する定電圧回路を備えることによって、低電圧回路内蔵にもかかわらず、低電圧動作が可能な受光素子内蔵集積回路を実現することができる。

【0040】また、請求項2の発明の受光素子内蔵集積回路は、請求項1の受光素子内蔵集積回路において、上記基準電圧部の上記基準電圧を2つのトランジスタのベース・エミッタ間電圧 $V_{be}$ の和 $2V_{be}$ とし、上記第1,第2の抵抗を夫々RA,RBとすると、上記PNPトランジスタのコレクタより出力される定電圧 $V_s$ が、 $V_s = 2V_{be}(RA+RB)/RB$ の関係を満足するので、定電圧 $V_s$ の基準となる電圧をダイオードとして用いられたトランジスタ2段の基準電圧 $2V_{be}$ で決定しているため、従来のようにダイオードとして用いられたトランジスタ5段の基準電圧が $(5V_{be})$ である回路に比べて、電源電圧ノイズに対するリップル除去特性を向上することができる。

【0041】また、請求項3の発明の受光素子内蔵集積回路は、請求項2の受光素子内蔵集積回路において、上記基準電圧部の上記基準電圧の温度係数によって上記定電圧 $V_s$ が変動がしないように、上記第1,第2の抵抗を夫々異なる温度係数に設定しているため、上記基準電圧部の基準電圧が温度特性によって変動しても、上記定電圧 $V_s$ の変動を低減でき、定電圧 $V_s$ の温度特性を向上することができる。

【図面の簡単な説明】

【図1】 図1はこの発明の実施の一形態の受光素子内蔵集積回路に用いられる定電圧回路の概略ブロック図である。

【図2】 図2は上記定電圧回路の回路図である。

【図3】 図3は上記定電圧回路において温度係数が同じ抵抗RA,RBを用いた場合の定電圧 $V_s$ の温度特性を示す図である。

【図4】 図4は上記定電圧回路において温度係数が異なる抵抗RA,RBを用いた場合の定電圧 $V_s$ の温度特性を示す図である。

【図5】 図5は上記定電圧回路の周波数に対するリップル除去比を示す図である。

【図6】 図6は上記定電圧回路を用いたエンコーダ用集積回路のブロック図である。

【図7】 図7はこの発明の他の実施形態の受光素子内蔵集積回路の回路図である。

【図8】 図8は従来の受光素子内蔵集積回路の回路図である。

【図9】 図9は上記定電圧回路のNPNトランジスタのコレクタ電流とベース・エミッタ間電圧との関係を示す図である。

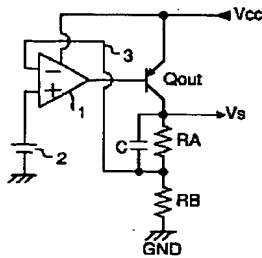
【図10】 図10は上記定電圧回路の周波数に対するリップル除去比を示す図である。

【符号の説明】

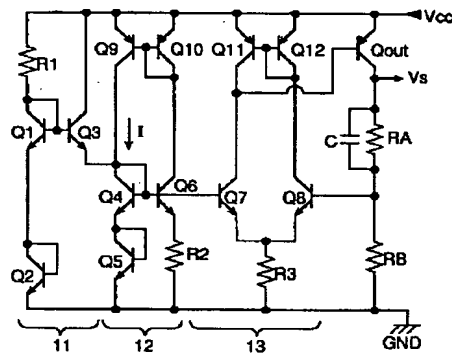
\*

\* 1…増幅器、2…基準電圧、3…帰還路、Qout…PNPトランジスタ、RA、RB…抵抗、11…起動回路、12…基準電圧回路、13…差動増幅器、Q1~Q8…NPNトランジスタ、Q9~Q12…PNPトランジスタ、R1~R3…抵抗、C…コンデンサ。

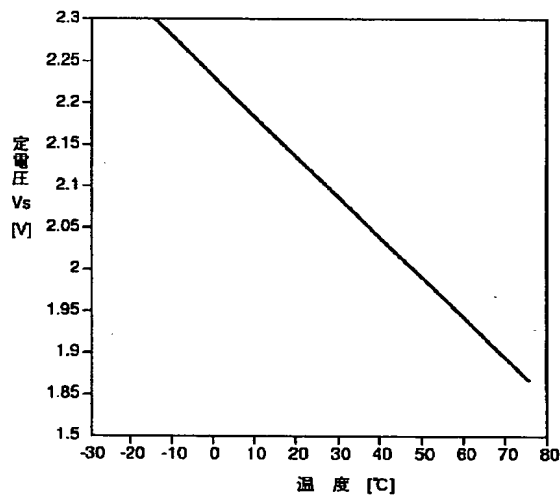
【図1】



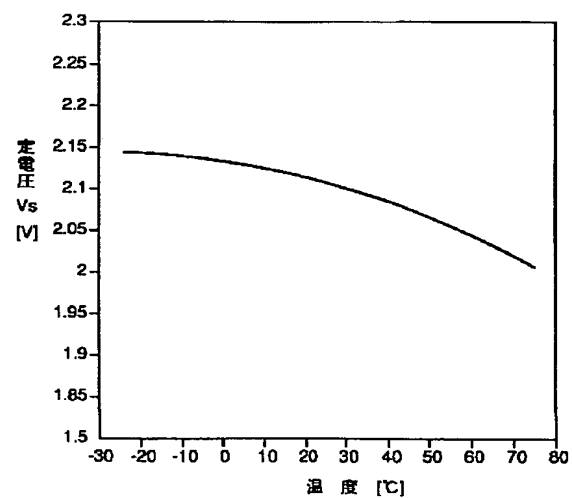
【図2】



【図3】

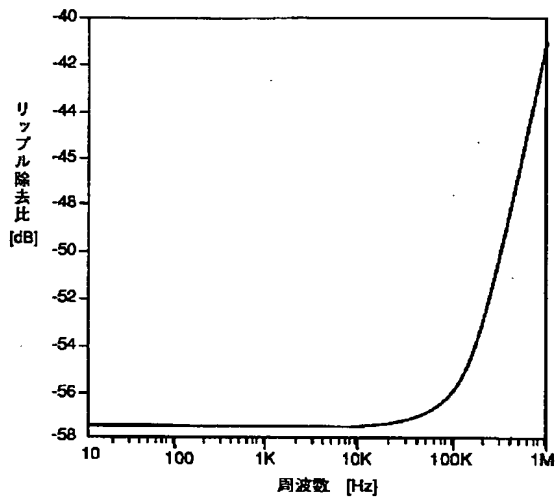


【図4】

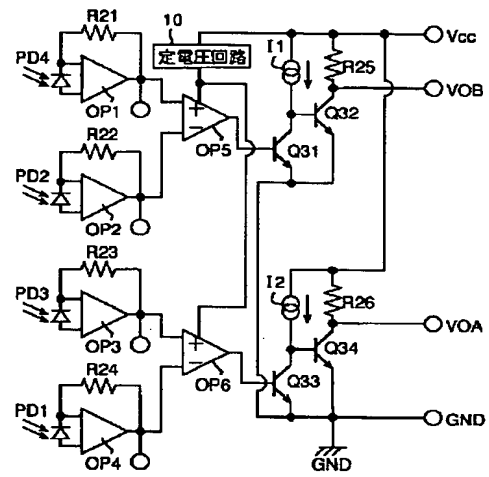




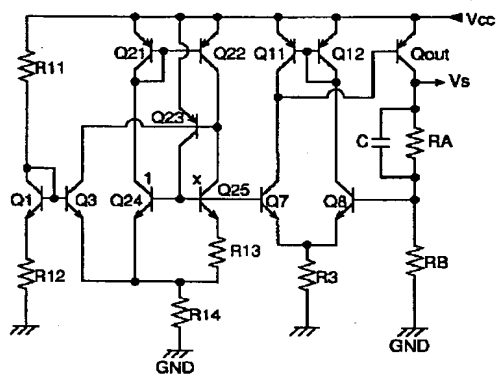
【図5】



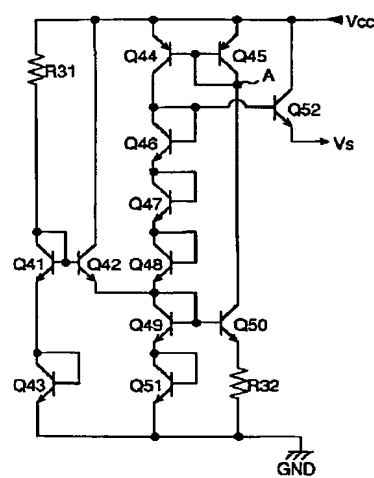
【図6】



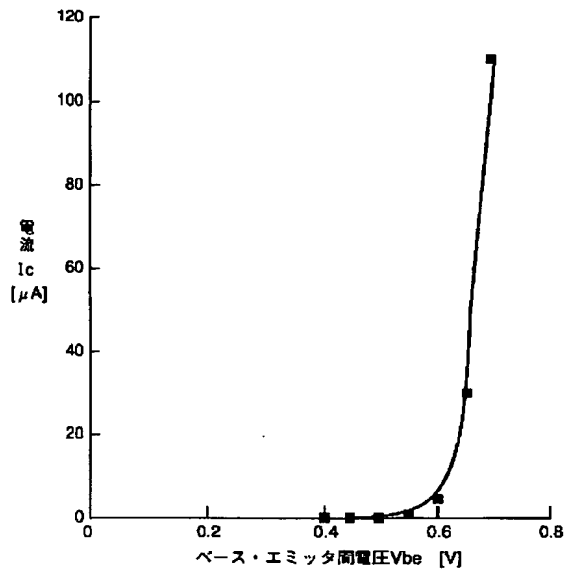
【図7】



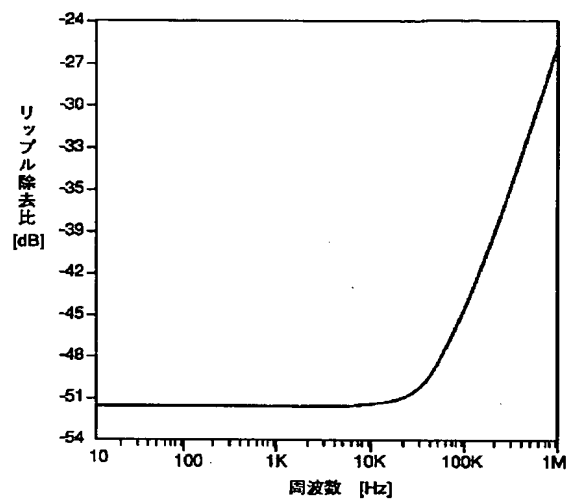
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
G 0 1 D 5/30

識別記号

F I